

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
FUKUOKA et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: SEMICONDUCTOR INTEGRATED CIRCUIT)
ATTORNEY DOCKET NO. HITA.0408)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

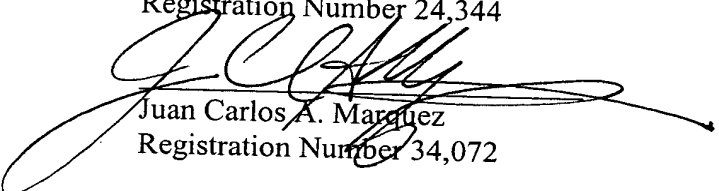
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of July 25, 2002, the filing date of the corresponding Japanese patent application 2002-216258.

A certified copy of Japanese patent application 2002-216258, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
July 16, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月25日

出 願 番 号

Application Number:

特願2002-216258

[ST.10/C]:

[JP 2002-216258]

出 願 人

Applicant(s):

株式会社日立製作所

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011591

【書類名】 特許願

【整理番号】 H02003141

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/18

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 福岡 哲也

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 宮崎 健司

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 友部 勝一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 論理アドレスを物理アドレスに変換するアドレス変換用記憶回路を備えた半導体集積回路であって、

上記アドレス変換用記憶回路のうち少なくとも論理アドレスの上位ビットである論理ページアドレスが格納されるタグ記憶部と物理アドレスの上位ビットである物理ページアドレスが格納されるデータ記憶部とを含んだ回路部分をアクティブ又は非アクティブに切換え可能な切換え手段を備え、

メモリアクセスを行う回路がアクティブな状態にあって上記アドレス変換用記憶回路の上記回路部分が使用されない期間に、上記切換え手段により当該回路部分が非アクティブにされるように構成されていることを特徴とする半導体集積回路。

【請求項 2】 主記憶装置へのアクセスモードが、上記アドレス変換用記憶回路のアドレス変換により仮想的なメモリ領域へのアクセスを行う仮想記憶アクセスモードと、仮想的なメモリ領域へのアクセスを行わない物理記憶アクセスモードとの何れかに設定可能な設定レジスタを備え、

上記切換え手段は、上記アクセスモードが上記物理記憶アクセスモードに設定されていることに基づき上記回路部分を非アクティブにするように構成されていることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 プロセッサと主記憶装置との間でデータアクセスを仲介するキャッシュメモリを備え、

上記切換え手段は、上記プロセッサのメモリアクセスにより上記キャッシュメモリでミスヒットと判定されてキャッシュメモリと主記憶装置との間でデータ転送が行われている間に、上記回路部分を非アクティブにするように構成されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】 上記アドレス変換用記憶回路に前に入力された論理ページアドレスを保持するレジスタと、メモリアクセスを行う回路から出力された論理アドレスの論理ページアドレスと上記レジスタの値とを比較する第 1 比較器と、当

該論理アドレスの残りの下位ビットであるページ内アドレスが論理ページアドレスにより示されるアドレス範囲の境界部分に含まれているか比較判定する第 2 比較器とを備え、

上記切換え手段は、上記第 1 比較器と上記第 2 比較器の比較結果に基づき論理ページアドレスが前回の論理アドレスのものと同一で且つページ内アドレスが上記境界部分に含まれない場合に上記回路部分を非アクティブにするように構成されていることを特徴とする請求項 1 ～ 3 の何れかに記載の半導体集積回路。

【請求項 5】 論理アドレスを物理アドレスに変換するアドレス変換用記憶回路を備えた半導体集積回路であって、

上記アドレス変換用記憶回路のうち少なくとも論理アドレスの上位ビットである論理ページアドレスが格納されるタグ記憶部と物理アドレスの上位ビットである物理ページアドレスが格納されるデータ記憶部とを含んだ回路部分をアクティブ又は非アクティブに切換え可能な切換え手段を備え、

上記アドレス変換用記憶回路の上記回路部分が使用されない期間に、上記切換え手段による制御によって上記アドレス変換用記憶回路へのクロック供給が停止され、メモリアクセスを行う回路から出力された論理アドレスを用いてメモリアクセスを行うことを特徴とする半導体集積回路。

【請求項 6】 命令コードをデコードするデコード回路および該命令コードを実行する実行回路とが複数組設けられ、複数の命令コードと、同時処理される命令コードのグループの情報および複数組のデコード回路および実行回路のうち各命令コードをどの組で処理するか配置の情報を示す命令位置情報とが合わされた圧縮命令を受けて、該圧縮命令の各命令コードを上記命令位置情報に従ったグループおよび配置でデコード処理と実行処理とを行うプロセッサを備えた半導体集積回路であって、

上記命令位置情報に従って同時処理される同一グループの命令コードを指定の配置にセットする伸長回路と、

同時処理される 1 つのグループにおいて命令コードの数が少なく有効的な命令コードがセットされない配置が生じる場合に上記命令位置情報に基づき当該配置を検出する検出回路と、

該検出回路の検出結果に基づき有効的な命令コードがセットされない配置に対応する実行回路を当該グループの実行期間に非アクティブにする制御回路とを備えるとともに、

上記伸長回路における処理と、この処理でセットされるグループに対する上記検出回路の検出処理とが同一の処理サイクルに行われるように構成されていることを特徴とする半導体集積回路。

【請求項 7】 上記制御回路は、上記検出回路の検出結果に基づき有効的な命令コードがセットされない配置に対応するデコード回路を当該グループのデコード期間に非アクティブにするように構成されていることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】 上記伸長回路は、

上記複数組のデコード回路および実行回路にそれぞれ対応して複数個の命令コードを格納可能な複数の領域を有するバッファメモリを有し、

上記命令位置情報に基づき同一グループの命令コードを指定された配置に対応する上記バッファメモリの領域に格納するように構成されていることを特徴とする請求項 6 又は 7 に記載の半導体集積回路。

【請求項 9】 上記プロセッサはコード長が大きな超長形式機械命令を処理可能であることを特徴とする請求項 6 ～ 8 の何れかに記載の半導体集積回路。

【請求項 10】 上記圧縮命令は、同時実行される命令コードの数が少ない場合に挿入される有効的な処理のない無実行命令のコードを省く代わりに上記命令位置情報が付加された命令であることを特徴とする請求項 9 記載の半導体集積回路。

【請求項 11】 命令コードをデコードするデコード回路と該命令コードを実行する実行回路とが複数組設けられ、同時処理される同一グループの命令コードが 1 つにまとめられた命令を受けて、該命令に従って各命令コードのデコード処理と実行処理とを行うプロセッサを備えた半導体集積回路であって、

上記デコード処理より前の処理ステージにおいて上記命令をバッファメモリに読み込むとともに当該命令の中に有効的な処理のない無実行命令のコードが含まれないか検出を行う検出回路と、

該検出回路の結果に基づき上記無実行命令のコードが送られる組の実行回路を同一グループの命令コードの実行期間に非アクティブにする制御回路とを備えていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路の低消費電力化技術に関し、例えば仮想記憶の使用のためにアドレス変換用バッファメモリが設けられたLSI（大規模集積回路）や、例えばVLIW（Very Long Instruction Word）方式のプロセッサコアを備えたLSIに適用して有用な技術に関する。

【0002】

【従来の技術】

一般に大規模なデータを扱うプロセッサでは仮想記憶をサポートしている。仮想記憶とは、例えば、DRAM（Dynamic Random Access Memory）などの主記憶、並びに、ハードディスクなどの2次記憶を有するシステムにおいて、2次記憶に仮想記憶用の広大な記憶領域を確保するとともに、この記憶領域のデータのうちアクセス要求のあった一部分を主記憶に写してプロセッサからアクセスさせるようにすることで、限られた主記憶のアドレス空間をあたかも広大なアドレス空間を実装しているかのように見せる技術である。

【0003】

仮想記憶を使用する場合には仮想的な論理アドレスを用いてプロセッサからアクセスが行われるため、この論理アドレスを主記憶上の物理アドレスに変換する必要がある。このアドレス変換は仮想記憶にアクセスするたびに行う必要があることから、仮想記憶をサポートするプロセッサでは、アドレス変換による性能のオーバーヘッドを軽減するため、このアドレス変換を高速に行うアドレス変換バッファ（TLB：Translation Look-aside Buffer）と呼ばれるメモリ回路を備えるのが一般的である。

【0004】

ところで、プロセッサアーキテクチャの1つに、並列に動作可能な複数の実

行回路を備え、複数の命令コードが1つにまとめられた命令を受け、これら複数の命令コードを複数の実行回路で並列処理するようにしたV L I W（超長形式機械命令）と呼ばれる方式のものがある。V L I Wの方式では、各命令コードの同時実行可能性についてハードウェアが判断する必要がなく、プロセッサは1命令中に含まれる複数の命令コードを、その配置に対応づけられた各実行回路に送って処理するだけで、並列処理による高いスループットを得ることが出来る。

【 0 0 0 5 】

このようなV L I Wの方式では、同時実行される命令コードの数が少ない場合に、有効的な処理を伴わないN O P（Non Operation）命令のコードを挿入して命令長を合わせる必要がある。また、V L I W方式のプロセッサの中には、命令長を合わせる目的で挿入されるN O P命令を省く代わりに、同時実行される命令コードのグループ境界と各命令コードの配置の情報とが示された命令位置情報を付加することで命令を圧縮し、この圧縮された命令をプロセッサ内部で元に復元してデコード処理と実行処理とを行うようにしたものもある。このような圧縮命令により、命令キャッシュの効率の向上が図れる。

【 0 0 0 6 】

現在、L S Iの高速化、大規模化に伴ってL S Iの消費電力は増加の一途をたどっている。また、携帯電話や携帯型情報端末（P D A）など、バッテリーで駆動する電子機器にL S Iが搭載されることも多くなっているため、L S Iの低消費電力化の要求はますます高まってきている。

そこで、本発明者らは上記のアドレス変換バッファとV L I W方式のプロセッサにおける消費電力を低減できないか検討した。

【 0 0 0 7 】

アドレス変換バッファの低消費電力化を図る従来技術としては、例えば特開平1 1 - 1 3 4 2 5 6号、特開平8 - 9 5 8 6 4号、特開2 0 0 0 - 1 4 8 5 8 9号公報にそれぞれ開示の技術があった。

これらのうち特開平1 1 - 1 3 4 2 5 6号に開示の技術は、アドレス変換を行う前に論理アドレスの上位ビットが前回のものと同一か比較して、同一である場合にアドレス変換バッファでアドレス変換を行わずに、前回の変換結果を使って

アドレス変換を行うようにすることで低消費電力化を図るものである。

【0008】

また、特開平 8 - 9 5 8 6 4 号に開示の技術は、同様に、アドレス変換を行う前に論理アドレスの上位ビット（仮想ページ番号）が前回のもとの同一か比較し、同一である場合に前回の変換結果を使用し、その間、アドレス変換バッファを非活性状態とすることで低消費電力化を図るものである。

特開 2 0 0 0 - 1 4 8 5 8 9 号に開示の技術は、メモリ管理ユニットに設けられた複数のアドレス変換バッファのうち、常に 1 つのアドレス変換バッファしか動作しないように制御することで低消費電力化を図るものである。

【0009】

【発明が解決しようとする課題】

上記従来の技術のうち、特開平 1 1 - 1 3 4 2 5 6 号に開示の技術は、アドレス変換動作で消費される電力を削減するものであり、アドレス変換バッファの待機時の電力の削減は図られていないため、不十分なものであった。一般に、アドレス変換バッファは、高速なキャッシュメモリと同等の構成を有しており、実施の形態で詳述するように待機中に消費される電力も無視できない。

【0010】

また、特開平 8 - 9 5 8 6 4 号に開示の技術は、アドレス変換バッファを非活性状態にして低消費電力化を図っているが、低消費電力化を図る期間が論理アドレスの上位ビット（仮想ページ番号）が前回と同じとなった期間だけであり、その他の期間についてまだまだ低消費電力化できる余地があると考えられる。また、この技術では、論理アドレスの上位ビットが前回と同じものか比較を行って、その結果が不一致である場合にアドレス変換バッファを活性化させてアドレス変換動作を開始させるため、アドレス変換に必要なタイミングが増加して、高速性能を劣化させる要因になることが判った。一般に、アドレス変換バッファのパスはクリティカルであるので、アドレス変換バッファにおけるタイミング増加はシステムの処理速度の低下につながってしまう。

【0011】

また、プロセッサコアの消費電力を低減する従来技術としては例えば特開 2 0

01-22582号公報に開示の技術がある。この公報には、無関係な命令が入力された場合に、この命令の代わりにNOP命令を命令コードのレジスタやデコーダに出力するようにしたり、命令コードのレジスタに入力されるクロックを停止したりして低消費電力化を図る技術が開示されている。

【0012】

しかしながら、上記従来の技術においても、NOP命令をデコード回路や実行回路に送った場合に、このNOP命令に対してデコード回路や実行回路は他の命令と同様に動作しているため、まだまだ不必要な電力消費が生じているのが判った。また、上記のように、命令コードが無関係なものか比較・検出を行い、その結果、無関係なものであった場合に低消費電力化の制御を行っていたのでは、その比較・検出にかかるタイミング増加によって、プロセッサの処理速度のボトルネックとなって動作周波数を余り高くすることが出来なくなったり、或いはプロセッサの処理に必要なステップ数が増加するなど、プロセッサの処理速度に悪影響が生じることが考えられた。

【0013】

この発明の目的は、アドレス変換バッファの速度性能を劣化させることなくアドレス変換バッファについて十分に低消費電力化が図られた半導体集積回路を提供することにある。また、プロセッサの処理速度に影響を与えることなくVLIW方式のプロセッサコアの部分について十分に低消費電力化が図られた半導体集積回路を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、仮想記憶へのアクセスがない物理記憶アクセスモードのときや、キャッシュでミスヒットとなってキャッシュデータを更新している間、或いは、同じ論理ページアドレスで且つこのアドレス範囲の境界以外にアクセスがあったと

きに、少なくともアドレス変換バッファのタグ記憶部とエントリ記憶部とを例えば動作クロックを断つなどして非アクティブにするものである。このような手段により、アドレス変換バッファの速度性能を劣化させることなくアドレス変換バッファの低消費電力化を図ることが出来る。

【 0 0 1 5 】

また、本発明に係る半導体集積回路は、圧縮命令を復元して実行する機能を有した V L I W 方式のプロセッサコアにおいて、圧縮命令を復元する処理ステージに命令位置情報に基づき N O P 命令が挿入されていた箇所を検出して、その箇所に対応するデコード回路と実行回路とを例えば動作クロックを断つなどして非アクティブにするものである。このような手段によれば、プロセッサの処理速度を低下させることなくプロセッサコアの低消費電力化を図ることが出来る。

【 0 0 1 6 】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

〔第 1 実施例〕

図 1 は、本発明の実施例のプロセッサコアを搭載したシステム L S I の全体構成を示すブロック図である。

この実施形態のシステム L S I は、特に制限されるものではないが、例えば携帯型の電子機器に搭載されてシステム全体の制御や動画像のデータ処理等を行うものもある。このシステム L S I には、プログラムを実行するプロセッサコア 2 0、外部接続される S D R A M (S y n c h r o n o u s D R A M) 等の主記憶に対してデータアクセス制御を行うメモリインターフェース 1 0、動画像データのエンコードやデコードに必要な演算処理を行うコプロセッサ 3 0、動画像の大きさの伸縮に必要なデータ処理を行うビデオスケラ 4 0、外部接続される入出力機器とのデータのやり取りを行う I O ユニット 5 0、プロセッサコア 2 0 にデータを介さず直接的に周辺モジュール・主記憶間のデータアクセスを可能にする D M A (D i r e c t M e m o r y A c c e s s) コントローラ 6 0、各モジュール間のデータ転送に使われる内部バス 7 0、通信モジュールや大容量記憶装置などの周辺機器が接続される外部バスと内部バス 7 0 との間でデータの受渡しを行う外部バスインターフェース 8 0

などが設けられている。

【0017】

上記プロセッサコア20は、VLIWの命令制御方式のもので、且つ、VLIWの命令からNOP命令を省く代わりに各命令コードの位置情報が付加された圧縮命令に対応可能なものであり、この圧縮命令を読み込むインストラクションキャッシュ（以下、Iキャッシュと略す）24と、圧縮命令を伸長して復元する命令ユニット21と、1命令中に含まれる同時実行される複数の命令コードをそれぞれデコードする複数のデコード回路を有する命令デコーダ22と、複数の命令コードのそれぞれについて演算処理を行う複数の実行回路を有する実行ユニット23と、演算データや結果データの読み書きが行われるデータキャッシュ（以下、Dキャッシュと略す）25とを備えている。

【0018】

この実施例のシステムLSIは、外部バスに接続されるハードディスクなどの大容量記憶装置を用いて、主記憶に割り当てられる物理的なアドレス空間よりも大きな仮想的なアドレス空間を提供する仮想記憶が使用可能となったものである。そして、このような仮想記憶の機能を実現するため、仮想記憶ヘデータアクセスを行うモジュール（Iキャッシュ24、Dキャッシュ25、DMAコントローラ60）には、仮想記憶上の論理アドレスを主記憶の物理アドレスに変換するアドレス変換バッファ100がそれぞれ設けられている。

【0019】

図2には、上記のアドレス変換バッファとその周辺部分のブロック構成図を示す。

アドレス変換バッファ100は、仮想記憶上の論理アドレスを上位所定数ビット（論理ページアドレスと呼ぶ）と残りの下位ビット（ページ内アドレスと呼ぶ）とに分け、この論理ページアドレスに対応する物理アドレスのページアドレス（物理ページアドレスと呼ぶ）に変換し、この物理ページアドレスと残りのページ内アドレスとを合わせたものを変換後の物理アドレスとして主記憶にアクセスさせるものである。なお、このアドレス変換バッファ100は、仮想アドレス空間を多重化して扱うことが可能なものであり、別途設定される空間識別子ASI

Dに基づいて多重化された仮想アドレス空間のうち何れか1つが選択されて、該仮想アドレス空間を用いた仮想記憶へのアクセスが行われるように構成されている。この多重化技術は公知のものである。

【0020】

このアドレス変換バッファ100は、入力された論理ページアドレスを対応する物理ページアドレスに変換するTLB主要部110と、TLB主要部110からの物理ページアドレスの出力を保持する出力レジスタ120と、論理ページアドレス又はレジスタ120に保持された物理ページアドレスの何れかを選択的に出力するバイパス回路130と、TLB主要部110の内部クロック ϕ_i の供給を許可又は禁止するクロックイネーブル信号を生成するクロックイネーブル生成回路140と、多重化された仮想アドレス空間の何れか1つを選択する空間識別子ASIDや仮想記憶の使用の有無を示す仮想記憶バリッドビットVs等が格納されるステータスレジスタ150等を備えている。

【0021】

TLB主要部110は、空間識別子ASIDや論理ページアドレスをタグ(TAG)情報として記憶するタグ記憶部111と、物理ページアドレスをエントリ情報として記憶するデータ記憶部112と、入力された空間識別子ASIDや論理ページアドレスとタグ情報とを比較して一致するものがあるか判定する図示略のタグ情報比較判定回路とからなる従来と同様の構成と、上記タグ記憶部111やデータ記憶部112へのクロック ϕ_i の供給と遮断とを行うゲテッドクロック回路113等を備えている。また、タグ記憶部111には、空間識別子ASIDや論理ページアドレスが1個ずつ格納されるデータエントリごとにそのデータエントリの有効・無効を示すバリッドビットが設けられ、このビットが有効であるデータエントリが比較判定の対象となり得るようになっている。

【0022】

ステータスレジスタ150の空間識別子ASIDやバリッドビットVsは、プロセッサコア20が実行しているプログラム或いはOS (Operating System) のソフトウェア処理に従って適宜書き換えられるものである。また、バリッドビットVsは、仮想記憶を全く使用しない場合には常に“0”とされるが、仮想記憶

を使用している場合には、OS等により主記憶中の仮想記憶の展開領域へアクセスが生じる際には“1”に書き換えられ、その他、主記憶中の通常の記憶領域へアクセスが生じる際には“0”に書き換えられるようになっている。

【0023】

また、バイパス回路130の選択パスを決めるバイパス信号は、図示しない論理組合せ回路により、ステータスレジスタ150の仮想記憶バリッドビットVsが“0”に切り換わったら次のクロック信号 ϕ_0 の立ち上がりでロウレベルにされて論理アドレス側のパスを選択し、他方、仮想記憶バリッドビットVsが“1”に切り換わったら次のクロック信号 ϕ_0 の立ち上がりでハイレベルにされてレジスタ120側のパスを選択するようになっている。

【0024】

図3には、タグ記憶部やデータ記憶部の構成例の一部を示す。

この実施例のタグ記憶部111およびデータ記憶部112は、図3にその一部を示すように、SSRAM (Synchronous Static Random Access Memory) により構成されたものである。SSRAMは、4個の素子から構成されるメモリセルMCや、メモリセルMCを選択するワード線WL、メモリセルMCから記憶データを読み出す1対のビット線BL、 \overline{BL} 、Yアドレスに従って出力データを選択するカラムスイッチSWc、メモリセルMCから1対のビット線BL、 \overline{BL} に出力された電位を増幅出力するセンスアンプSA、ビット線BL、 \overline{BL} やセンスアンプSAをプリチャージしてデータ読出し可能な状態にするプリチャージ用MOSFET（以下、プリチャージMOSと略す）QPなどを備えている。そして、内部クロック ϕ_i （外部から供給されたクロック信号 ϕ_0 をゲーテッドクロック回路113を介して内部に導いたクロック）がロウレベルのときにプリチャージMOS QPがオン状態となってプリチャージが行われ、内部クロック ϕ_i がハイレベルになったときに選択されたメモリセルMCからデータが読み出され、その後、センスアンプSAの出力が確定したら、内部クロック ϕ_i がロウレベルにリセットされるように構成されている。内部クロック ϕ_i をリセットするタイミングは論理ゲートG1～G4により決定され、センスアンプSAの出力は内部クロック ϕ_i がリセットされる前に出力先のラッチ回路に保持される。

【 0 0 2 5 】

従って、この実施例のタグ記憶部 1 1 1 およびデータ記憶部 1 1 2 は、アドレス線やワード線 W L の選択をしなくても、内部クロック ϕ_i が供給される限り、プリチャージ M O S Q P のオン・オフ動作によりセンスアンプ S A やビット線 B L, $\neg B L$ に電流が流れて電力消費が生じるようになっている。このような性質は高速なデータの読出しが必要となるアドレス変換バッファの記憶部において一般的なものであり、例えば、タグ記憶部 1 1 1 やデータ記憶部 1 1 2 を連想メモリを用いて構成した場合などにおいても同様に生じるものである。

【 0 0 2 6 】

図 4 には、図 2 のクロックイネーブル生成回路 1 4 0 に含まれる一部の回路図を示す。

図 2 のクロックイネーブル生成回路 1 4 0 には、入力された論理ページアドレスが前回のアドレス変換のものと同じで、且つ、ページ内アドレスが論理ページアドレスにより示されるアドレス範囲の境界部分に含まれない場合に、クロックイネーブル信号 C E を無効にする無効信号を生成する回路が含まれている。この回路は、図 4 に示すように、前回入力された論理ページアドレスを格納するレジスタ 1 4 3 と、該レジスタ 1 4 3 の出力と今回入力された論理ページアドレスを比較する比較器 1 4 5 と、今回アクセス要求があったページ内アドレスが境界アドレス（例えば全ビット「0」か全ビット「1」）か否かを比較する比較器 1 4 6 A, 1 4 6 B と、これら比較器 1 4 5, 1 4 6 A, 1 4 6 B の出力が上記の条件を示すものとなった場合にクロックイネーブル C E を無効にする信号を生成する論理ゲート 1 4 7 とから構成されるものである。

【 0 0 2 7 】

なお、ここでは、ページ内アドレスの境界アドレスとして全ビット「0」と全ビット「1」の場合を例示したが、例えば、1 回のデータアクセス量に相当するアドレスの範囲がアドレスの下位 n ビットである場合には、ページ内アドレスの下位 n ビットを除くビットが全て「0」か「1」となるアドレス範囲を境界部分とすることで対応することが出来る。

【 0 0 2 8 】

クロックイネーブル生成回路 1 4 0 には、その他、キャッシュストール信号やステータスレジスタ 1 5 0 のバリッドビット V_s の値を示す信号が入力され、キャッシュストール信号がハイレベルの間、或いはバリッドビット V_s が “0” の場合に、クロックイネーブル信号 CE を無効とするように論理が組まれている。ここで、キャッシュストール信号とは、インストラクションキャッシュ 2 4 やデータキャッシュ 2 5 においてキャッシュミスの判定が発生し、必要なデータを主記憶からロードしているためキャッシュアクセスが不可能であることを外部に知らせる信号である。

【 0 0 2 9 】

図 5 (a) ～図 5 (c) には、TLB 主要部 1 1 0 の内部クロック ϕ_i が停止される状態を説明するタイムチャートを示す。図 5 (a) は、ステータスレジスタのバリッドビット V_s の値に応じてアドレス変換バッファが動的に停止制御される状態を説明するタイムチャート、図 5 (b) はキャッシュストール信号によりアドレス変換バッファが動的に停止制御される状態を説明するタイムチャート、図 5 (c) はメモリアクセスされるアドレスに応じてアドレス変換バッファが動的に停止制御される状態を説明するタイムチャートである。

この実施例のアドレス変換バッファ 1 0 0 においては、クロックイネーブル生成回路 1 4 0 から出力されるクロックイネーブル CE が無効（ロウレベル）とされるのは次の 3 つの条件 (A) ～ (C) の場合がある。

【 0 0 3 0 】

1 つ目の条件 (A) は、ステータスレジスタ 1 5 0 の仮想記憶バリッドビット V_s が “0” となっている場合である。仮想記憶バリッドビット V_s が “0” となる場合は、一つにはシステムが初めから仮想記憶を使用しない場合がある。この場合、仮想記憶バリッドビット V_s は静的に “0” とされるので、クロックイネーブル CE はシステムの動作中に常に無効とされる。

【 0 0 3 1 】

仮想記憶バリッドビット V_s が “0” となるもう一つの場合は、主記憶の仮想記憶データの展開領域以外のアドレスへアクセスが行われる場合である。この場合、OS により仮想記憶バリッドビット V_s が “0” に書き換えられるので、図

5 (a) に示すように、それに伴ってクロックイネーブルCEが無効とされる。そして、仮想記憶バリッドビットVsが“0”に書き換えられた後、次のクロック信号 ϕ_0 の立上りによりバイパス信号がハイレベルにされ、これによりバイパス回路130において論理アドレス側のパスが選択されて論理アドレスが物理アドレスとして出力される。

【0032】

クロックイネーブルCEを無効にする2つ目の条件(B)は、アドレス変換バッファ100と主記憶との間に介在するキャッシュメモリからキャッシュミスによるハイレベルのキャッシュストール信号が出力される場合である。図5(b)に示すように、キャッシュストール信号がハイレベルになるとクロックイネーブルCEが無効となって内部クロック ϕ_i が停止される。

【0033】

3つ目の条件(C)は、図4の論理ゲート147からクロックイネーブルCEを無効にする信号が出力される場合である。すなわち、図5(c)に示すように、論理ページアドレスが「A」で続いた後に「B」に切り換わりその後「B」で連続するような場合(但し、ページ内アドレスがページ範囲の境界でないとする)、ページ内アドレスが「A」となっている2番目のサイクルや、「B」となっている2番目以降のサイクルに論理ゲート147の出力に基づきクロックイネーブルCEが無効とされて、アドレス変換バッファ100からはそれぞれページ内アドレスが変わった始めのサイクルで変換されレジスタ120に格納されている物理ページアドレスが出力される。

【0034】

但し、同一の論理ページアドレスが続いている場合でも、ページ内アドレスがページ範囲の境界(例えば全ビット“0”や全ビット“1”)であった場合には、論理ゲート147の出力に基づきクロックイネーブルCEが有効とされて、TLB主要部110が動作するようになっている。

【0035】

以上のように、この実施例のシステムLSIによれば、アドレス変換バッファ100による論理ページアドレスの変換動作が不要なときに、TLB主要部11

0 の内部クロック ϕ_i が停止されて消費電力の低減を図ることが出来る。

また、論理ページアドレスが前回と同一のときに内部クロック ϕ_i を停止する場合には、ページ内アドレスがアドレス範囲の境界部分にある場合を除外して制御されるので、この境界部分を含んで2つの論理ページアドレスにまたがる連続アクセスが行われた場合に、アドレス変換バッファ100が停止されないので、メモリアクセス処理が一次的に停止してシステムの処理スピードに影響を与えるといったことが回避される。

【0036】

なお、仮想記憶を全く使用しない場合には、アドレス変換バッファ100を内部電源から切り離してリーク電流による消費電力の低減を図るようにしても良い。具体的には、ステータスレジスタ150の仮想記憶バリッドビットVsの読み出しをロウレベル固定とし、TLB主要部110と電源とをスイッチMOSFETにより切り離す。そして、TLB主要部110の出力にトライステートバッファを設け、TLB主要部110の入出力間に貫通電流が流れないように制御する。さらに、このような状態と、仮想記憶を使用する場合の状態とをボンディングオプション等で切り替え可能に構成することで、同一のマスクを用いた半導体製造プロセスで仮想記憶ありと無しの2製品を生産することも可能となる。

【0037】

なお、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例においては、キャッシュメモリへのアクセスが行われない期間にTLB主要部110の内部クロック ϕ_i を停止させるために、キャッシュストール信号を用いて内部クロック ϕ_i を停止させる制御を行っているが、キャッシュストール信号を用いず、種々の状態検出によりメモリアクセスの要求がないことを検出してその検出信号に基づき内部クロック ϕ_i を停止させるようにしても良い。

【0038】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるプロセッサを搭載したシステムLSIについて説明したがこの発明

はそれに限定されるものでなく、アドレス変換テーブルを搭載したプロセッサ単体やMMU (Memory Management Unit) などの半導体集積回路に広く利用することが出来る。

【 0 0 3 9 】

[第 2 実施例]

次に、図 1 のプロセッサコア 2 0 の命令デコーダ 2 2 および実行ユニット 2 3 の部分の消費電力を低減する構成について説明する。

先にも述べたが、この実施例のプロセッサコア 2 0 は、V L I W形式の命令からNOP命令を省きその代わりに位置情報が付加された圧縮命令を入力して伸長および実行を行うように構成されたものである。

【 0 0 4 0 】

図 6 には、プロセッサコア 2 0 により命令を実行処理する過程を説明する図を示す。

プロセッサコア 2 0 の実行ユニット 2 3 には、V L I W命令の 1 命令中に含まれる複数の命令コードを同時に並列処理するため、複数の実行回路 2 3 0 ~ 2 3 3 が設けられている。各実行回路 2 3 0 ~ 2 3 3 は例えばメモリアクセス命令や演算命令など異種の命令処理を行うものが混在しているため、1 命令中に含まれる複数の命令コードは予め定められた配置でセットしなければならない。

【 0 0 4 1 】

実行ユニット 2 3 の前段に設けられている命令デコーダ 2 2 には、同様に複数のデコード回路 2 2 0 ~ 2 2 3 が設けられ、複数の命令コードを同時にデコード処理するようになっている。

命令デコーダ 2 2 の前段には命令伸長回路 2 1 0 と命令バッファ 2 1 1 等を有した命令ユニット 2 1 が設けられて、該ユニット 2 1 において圧縮命令が伸長されるようになっている。

【 0 0 4 2 】

命令伸長回路 2 1 0 には、非圧縮の 1 個のV L I W命令の展開により 1 個の命令中に含まれる複数の命令コードが格納される複数の格納領域を有した展開バッファ 2 1 4 と、前段の命令バッファ 2 1 1 に格納された 2 命令分の命令位置情報

をデコードしてこの 2 命令に含まれる複数の命令コードのうち、同時処理される同一グループの命令コードを展開バッファ 2 1 4 に展開させる命令位置情報デコーダ 2 1 3 などが設けられている。展開バッファ 2 1 4 には、命令バッファ 2 1 1 に格納された複数の命令コードをそれぞれ選択的に取り込むセクタが設けられ、命令位置情報デコーダ 2 1 3 からのデコード信号によって何れかの命令コードをそれぞれラッチするように構成されている。

【 0 0 4 3 】

次に、命令デコーダ 2 2 と実行ユニット 2 3 を非アクティブに制御するための具体的構成を説明する。

上記複数のデコード回路 2 2 0 ～ 2 2 3 には、ゲーテッドクロック回路 2 2 5 ～ 2 2 8 を介して動作クロック ϕp が入力されるように構成されている。各ゲーテッドクロック回路 2 2 5 ～ 2 2 8 の一方の入力端子には、命令位置情報デコーダ 2 1 3 からの制御信号 $V 0 \sim V 3$ が入力され、これらの信号によりデコード回路 2 2 0 ～ 2 2 3 の動作クロック ϕp をそれぞれ別個に停止させることが可能になっている。

【 0 0 4 4 】

また、実行回路 2 3 0 ～ 2 3 3 には、上記のゲーテッドクロック回路 2 2 5 ～ 2 2 8 とフリップフロップ 2 3 5 ～ 2 3 8 を介して動作クロック ϕp が入力されるように構成されている。すなわち、ゲーテッドクロック回路 2 2 5 ～ 2 2 8 から出力されたクロック信号がフリップフロップ 2 3 5 ～ 2 3 8 を介して 1 サイクル遅延されて実行回路 2 3 0 ～ 2 3 3 に供給される。

【 0 0 4 5 】

上記の命令位置情報デコーダ 2 1 3 は、上記の命令伸長のための機能に加え、これらデコード回路 2 2 0 ～ 2 2 3 および実行回路 2 3 0 ～ 2 3 3 の動作クロック ϕp を停止して非アクティブにする制御手段としての機能を備えており、命令位置情報から NOP 命令が省略されていた位置を検出したら、このグループの V L I W 命令が命令デコーダ 2 2 でデコードされる処理サイクルに、検出した NOP 命令の省略位置に対応するゲーテッドクロック回路 2 2 5 ～ 2 2 8 の何れかにクロック停止の制御信号を出力するようになっている。

【0046】

次に、上記のように構成されたプロセッサコア20による圧縮命令の実行処理の動作説明を行う。

図6の圧縮前命令COMに示されるように、VLIW命令は圧縮前において同時に実行される複数個（例えば4個）の命令コードを複数のフィールドに配列したものが1命令として扱われる。1つの命令コードの長さは、例えば32ビットである。同時実行される命令コードが所定個数に満たない場合には、命令コードのないフィールドに有効的な処理が行われないNOP命令が挿入されて命令長が合わせられる。

【0047】

図7には、圧縮命令のデータ構造を説明する図を示す。

圧縮命令は、上記NOP命令を省いて有効な命令コードを配列順に詰めてまとめるとともに、同時処理される同一グループの命令コードの境界と各命令コードの配置が示された命令位置情報を1個の圧縮命令の最後に付加したデータ構成を有する。命令位置情報は、「フィールド0～フィールド3」を表わす2ビットの位置情報と1命令の最後か否かを表わす1ビットのEND情報とからなる3ビットデータを、1個の圧縮命令中に含まれる4個の命令コードのそれぞれに対応させて配列した12ビットのデータである。このような圧縮方式では、VLIW命令の1個の命令コード長が長くなったり、1命令中に含まれる命令コードの数が多くなってNOP命令の挿入される割合が大きくなればなるほど、その圧縮率も大きくなる。

【0048】

このようなVLIW命令の圧縮は、例えば、プログラムのコンパイル時に実施され、圧縮された状態で主記憶等に格納されており、そのままIキャッシュ24にロードされる。

圧縮命令がIキャッシュ24にロードされると、次に、命令ユニット21において圧縮命令を伸長する処理が行われる。伸長処理は、まず、Iキャッシュ24から命令バッファ211に2個の圧縮命令を配列順に読み込み、次に、これら2個の圧縮命令の命令位置情報を命令位置情報デコーダ213によりデコードして

、そのデコード信号により同時処理される同一グループの複数の命令コードをその位置情報に従った配置で展開バッファ 2 1 4 の各領域に格納することで達成される。ここで、圧縮前に NOP 命令が挿入されていた箇所は、前回の命令コードが格納されたままとされる。

【 0 0 4 9 】

さらに、上記命令位置情報デコーダ 2 1 3 によるデコード処理において、ゲートッドクロック回路 2 2 5 ~ 2 2 8 に入力される制御信号 V 0 ~ V 3 のうち、命令コードが新たに配置されないフィールド（すなわち、圧縮前に NOP 命令が挿入されていたフィールド）に対応する制御信号が次のサイクルにおいてロウレベルになるようにセットされる。

【 0 0 5 0 】

次に、上記展開バッファ 2 1 4 に展開された複数の命令コードが、命令デコーダ 2 2 の各デコード回路 2 2 0 ~ 2 2 3 に送られて、それぞれデコード処理が行われる。但し、圧縮前に NOP 命令が挿入されていた箇所に対応するデコード回路には、上記のゲートッドクロック回路 2 2 5 ~ 2 2 8 の制御により動作クロック ϕp が供給されないので、デコード処理は行われない。

【 0 0 5 1 】

命令デコードの処理がなされたら、次に、このデコード結果が対応する実行回路 2 3 0 ~ 2 3 3 に送られて命令の実行処理が行われる。但し、圧縮前に NOP 命令が挿入されていた箇所に対応する実行回路には、上記のゲートッドクロック回路 2 2 5 ~ 2 2 8 の制御とフリップフロップ 2 3 5 ~ 2 3 8 の遅延により、実行処理のサイクルに動作クロック ϕp が供給されないので、実行処理は行われない。

実行処理がなされたら、その結果を D キャッシュ 2 5 又は所定のレジスタに書き込む処理を行って 1 命令の実行処理が完了する。

【 0 0 5 2 】

図 8 には、プロセッサコア 2 0 によるパイプライン処理の内容を説明する図を示す。

同図に示すように、上述した命令バッファ 2 1 1 への命令フェッチ「I F 0」

、圧縮命令を伸長して展開バッファ 2 1 4 に展開する処理「I F 1」、命令デコーダ 2 2 による命令デコード（実行に必要なデータの読み出しを含む）「R D」、命令実行「E X」、並びに、結果の書込み処理「W B」は、それぞれがパイプライン処理の 1 つの処理ステージとなっている。従って、命令位置情報デコーダ 2 1 3 とゲーテッドクロック回路 2 2 5 ～ 2 2 8 とフリップフロップ 2 3 5 ～ 2 3 8 により行われる動作クロック ϕ_p の停止制御は、N O P 命令が挿入されていた箇所の検出された命令が、デコード回路 2 2 0 ～ 2 2 3 と実行回路 2 3 0 ～ 2 3 3 へ移行されてそれぞれ処理されるサイクルに行われるようにタイミング制御されている。

【 0 0 5 3 】

以上のように、この実施例のシステム L S I によれば、V L I W 命令の 1 命令中に N O P 命令が含まれる箇所があった場合に、その命令コードのデコードと実行とを行うデコード回路 2 2 0 ～ 2 2 3 および実行回路 2 3 0 ～ 2 3 3 に動作クロック ϕ_p の供給が停止されるので、従来、N O P 命令のデコードと実行にかかっていた消費電力を削減することが出来る。

【 0 0 5 4 】

また、圧縮前に N O P 命令が含まれていた箇所に対して、圧縮命令を伸長するさいに N O P 命令を復元する必要がなくなるため、N O P 命令を復元する構成を省いて、この復元処理にかかっていた消費電力も削減することが出来る。

【 0 0 5 5 】

また、デコード回路 2 2 0 ～ 2 2 3 や実行回路 2 3 0 ～ 2 3 3 を停止させるか否かの検出処理ならびに停止させるフィールドの検出処理が、伸長処理において行われる命令位置情報のデコード処理と並行して行われるので、この検出のために処理スピードが低下するといった不都合が生じない。

【 0 0 5 6 】

ここで、先ず、N O P 命令のデコード処理と実行処理とを停止することで得られる消費電力の削減効果について定量的に説明する。

図 9 は、N O P 命令のデコードと実行を停止することで得られる消費電力の削減割合を表わしたグラフである。

同図において、「L S I - A」のグラフはV L I W方式のプロセッサコア 2 0 の他に周辺モジュールや周辺論理を多数含んだシステムL S Iにおける消費電力削減割合、「V L I Wコアロジック」のグラフはプロセッサコア 2 0 のみで見たときの消費電力削減割合を示している。また、「4 整数演算V L I W」は整数演算を4 並列で行うV L I W方式のプロセッサコアの場合、「8 整数演算V L I W」は整数演算を8 並列で行うV L I W方式のプロセッサコアの場合の消費電力削減割合を示している。

【0 0 5 7】

また、この消費電力削減割合の計算条件として、「L S I - A」のシステムL S Iを構成するトランジスタ総数を約1 4 9 0 万個、その内、命令デコーダ2 2 が占める個数を約2 0 万個、実行ユニット2 3 が占める個数を約3 3 0 万個とし、また、実行するプログラム処理としてビデオデコード処理を対象とし、ループ等を考慮せずに1 命令中に含まれるN O P 命令コード数を1 . 9 9 個、有効的な命令コード数を2 . 0 1 個とした。

【0 0 5 8】

このような条件において、上記実施例のようにN O P 命令のデコードと実行とを停止させると、プロセッサコア 2 0 の部分における消費電力の削減割合は、実行回路の停止により3 4 . 3 %、デコード回路の停止により2 . 2 %となり、大幅な節電効果が得られるという結論が得られた。

【0 0 5 9】

また、「L S I - A」のシステムL S Iでは、周辺モジュールや周辺論理の消費電力は変化しないので消費電力の削減割合は少なくなるが、それでも実行回路の停止により1 1 . 2 %、デコード回路の停止により0 . 7 %の節電効果が得られるという結果が得られた。同様に、「4 整数演算V L I W」や「8 整数演算V L I W」のプロセッサコアについても、グラフに示すように大幅な節電効果を得ることが分かった。

【0 0 6 0】

次に、N O P 命令の挿入箇所の検出がプロセッサの処理スピードに与える影響について、実施例の構成と、伸長処理の後にN O P 命令の検出を行ってN O P 命

令のデコード処理と実行処理とを停止させる構成とで比較検討した内容の説明をする。

【 0 0 6 1 】

図 1 0 (a) と図 1 0 (b) には、NOP 命令の挿入箇所検出がプロセッサの動作周波数に与える影響を説明する図を示す。図 1 0 (a) は実施例の場合、図 1 0 (b) は伸長処理の後に NOP 命令の検出を行う場合のものである。

プロセッサコア 2 0 の各動作ステージでクリティカルなパスを有する部分は、一般にデコードステージ (R D) および実行ステージ (E X) であり、命令伸長ステージ (I F 1) の処理には時間的な余裕が少し生じる。

【 0 0 6 2 】

本発明を適用しようとしている一つの従来製品について具体的な時間長を示せば、命令伸長ステージ (I F 1) の処理に必要な時間長は 3.17 ns 、デコードステージ (R D) と実行ステージ (E X) の処理に必要な時間長はそれぞれ 3.3 ns となる。そして、この製品の最大動作周波数は 300 MHz となる。

【 0 0 6 3 】

主要な回路構成は変えずにこの製品に本発明を適用した場合、図 1 0 (a) に示すように、命令位置情報から NOP 命令位置を検出して制御信号を出力するのに 0.1 ns 、制御信号をデコード回路 2 2 0 ~ 2 2 3 に動作クロック ϕ_P を供給するゲーテッドクロック回路 2 2 5 ~ 2 2 8 に伝播するのに 1.2 ns 、ゲーテッドクロック回路 2 2 5 ~ 2 2 8 からデコード回路 2 2 0 ~ 2 2 3 の入力段に設けられたデータラッチ用のフリップフロップまでクロック信号が伝播するのに 0.2 ns かかると概算できる。すなわち、NOP 命令位置の検出からデコード回路 2 2 0 ~ 2 2 3 を停止するのに必要なタイミング増分は 1.5 ns となる。

【 0 0 6 4 】

しかしながら、これらの処理は、圧縮命令を伸長する処理と並行して行うことが出来るため、このタイミング増分 1.5 ns は命令伸長ステージ (I F 1) の処理時間の中に包含することができ、プロセッサの処理スピードに影響を与えない。

【 0 0 6 5 】

一方、命令伸長後にNOP命令の検出を行う方式では、NOP命令の検出から制御信号を出力するに0.1ns、制御信号をクロックバッファまで伝播するのに0.2ns、クロックバッファからデコード回路220～223の入力フリップフロップまで伝播するのに0.2nsかかるとし、その合計のタイミング増分を0.5nsと概算しても、これらの処理は、圧縮命令を伸長した後に行う必要があることから、このタイミング増分0.5nsは命令伸長ステージ（IF1）の処理時間に加算され、命令伸長ステージ（IF1）の処理に必要な時間長は3.67nsとなる。この時間長はデコードステージ（RD）や実行ステージ（EX）の処理時間より長いものである。従って、このタイミング増分はプロセッサの処理スピードに影響して、その最高動作周波数は例えば272MHzなどと悪化する。

【0066】

今後、配線材料の変更による信号伝播時間の低減と半導体プロセスの微細化によるトランジスタの高速化などにより、上記の命令伸長ステージ（IF1）の処理時間とデコードステージ（RD）や実行ステージ（EX）の処理時間は短縮し、互いの差も減少していくと考えられるので、上記のようなタイミング増分がプロセッサの処理スピードに与える影響は大きくなってしまふ。

【0067】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例では、NOP命令が挿入されていたフィールドに対してNOP命令を復元しないように構成したが、展開バッファ214にNOP命令の命令コードを発生させる回路を設け、命令位置情報デコーダ213からのデコード信号によってNOP命令の挿入位置にNOP命令を復元するように構成しても良い。

更に、圧縮命令においてNOP命令が挿入されていた箇所は、前回の命令コードが格納されたままに限らず、任意の値を挿入可能となるような構成としても良い。

【 0 0 6 8 】

更に、本実施例では、4 命令コードの並列演算の構成を前提としているが、4 命令コードに限ることなく、それ以上の複数命令コード数、それ以下の複数命令コード数であってもNOP命令のデコード処理と実行処理とを停止させて低消費電力化を図ることが可能となる。

また、特に限定されないが、ゲーテッドクロック回路 2 2 5 ～ 2 2 8 とフリップフロップ 2 3 5 ～ 2 3 8 はプロセッサコア 2 0 内に配される。

【 0 0 6 9 】

また、この実施例は、NOP命令を省いた圧縮命令を伸長した後にデコードと実行とを行う構成を前提にしているが、NOP命令の挿入された非圧縮のVLIW命令を実行するプロセッサにおいても、動作周波数を低下させずにNOP命令のデコード処理と実行処理とを停止させて低消費電力化を図ることも可能である。すなわち、プロセッサのパイプライン処理の1ステージとして、命令をプリフェッチする処理ステージを追加するとともに、該プリフェッチの処理ステージでNOP命令の検出を行い、その結果、NOP命令が検出されたらデコーダ回路と実行回路とを停止させるように構成する。このような構成により、パイプライン処理のステージ数が1つ増えるが、プロセッサの動作周波数に影響を与えることなく、NOP命令のデコード処理と実行処理とを停止させて低消費電力化を図ることが出来る。

【 0 0 7 0 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるプロセッサを搭載したシステムLSIについて説明したがこの発明はそれに限定されるものでなく、プロセッサ単体の半導体集積回路などに広く利用することが出来る。

【 0 0 7 1 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、処理スピードに影響を与えることなく、アドレス

変換テーブルにおける消費電力の低減が図れるという効果がある。

また、本発明に従うと、V L I W方式のプロセッサにおいて処理スピードに影響を与えることなくNOP命令に係る処理について消費電力の低減が図れるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施例のシステムL S Iの全体構成を示すブロック図である。

【図 2】

システムL S Iに内蔵されたアドレス変換バッファとその周辺の構成を示すブロック図である。

【図 3】

アドレス変換バッファのT A G記憶部とデータ記憶部の一部のメモリ構成を示す回路図である。

【図 4】

図2のクロックイネーブル生成回路の一部を構成する回路図である。

【図 5】

図5（a）は、ステータスレジスタのバリッドビットの値に応じてアドレス変換バッファが動的に停止制御される状態を説明するタイムチャート、図5（b）はキャッシュストール信号によりアドレス変換バッファが動的に停止制御される状態を説明するタイムチャート、図5（c）はメモリアクセスされるアドレスに応じてアドレス変換バッファが動的に停止制御される状態を説明するタイムチャートである。

【図 6】

図1のプロセッサコアにより命令を実行処理する過程を説明する図を示す。

【図 7】

V L I Wの圧縮命令のデータ構造を示す図である。

【図 8】

図1のプロセッサコアのパイプライン処理の内容を示す図である。

【図 9】

N O P 命令に係る処理停止により得られる消費電力の削減割合を表わすグラフである。

【図 1 0】

図 1 0 (a) は実施例のプロセッサコアにおいてデコード回路と実行回路とを停止させる制御がプロセッサの動作周波数に与える影響を説明する図、図 1 0 (b) は伸長処理の後に N O P 命令を検出する比較例においてデコード回路と実行回路とを停止させる制御がプロセッサの動作周波数に与える影響を説明する図を行う場合のものである。

【符号の説明】

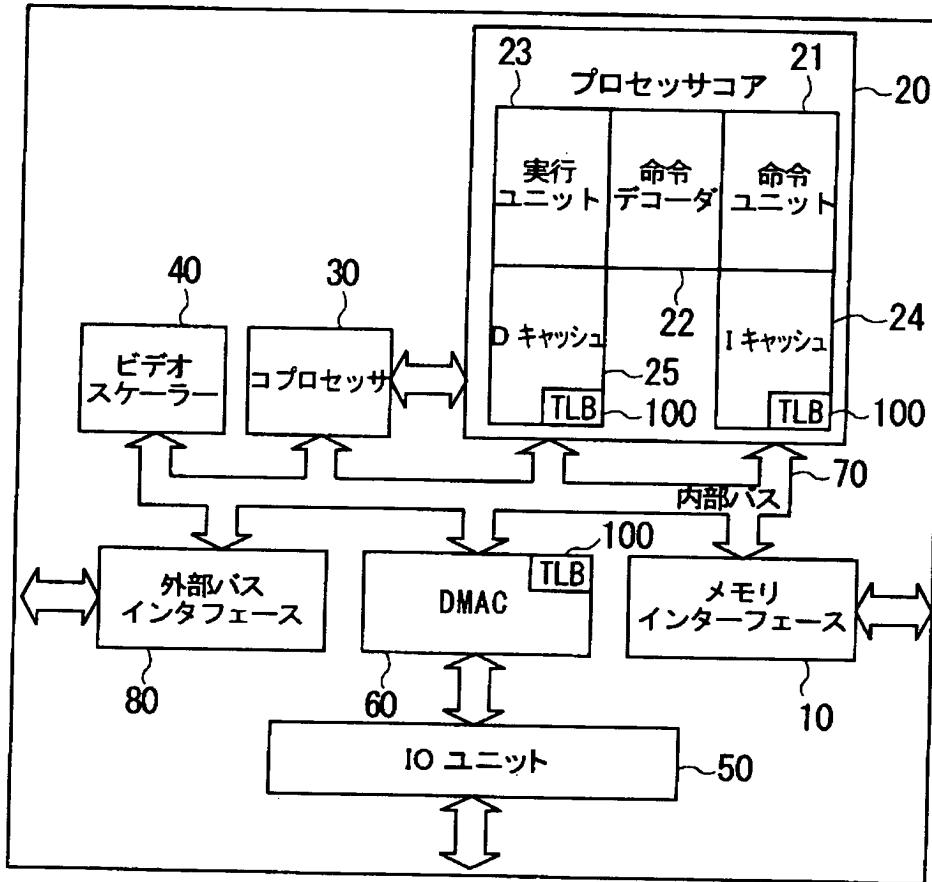
- 2 0 プロセッサコア
- 2 1 命令ユニット
- 2 2 命令デコーダ
- 2 3 実行ユニット
- 2 4 I キャッシュ
- 2 5 D キャッシュ
- 6 0 DMA コントローラ
- 1 0 0 アドレス変換バッファ
- 1 1 0 T L B 主要部
- 1 1 1 タグ記憶部
- 1 1 2 データ記憶部
- 1 1 3 ゲーテッドクロック回路
- 1 2 0 出力レジスタ
- 1 3 0 バイパス回路
- 1 4 0 クロックイネーブル生成回路
- 1 4 3 レジスタ
- 1 4 5, 1 4 6 A, 1 4 6 B 比較器
- 1 4 7 論理ゲート
- 1 5 0 ステータスレジスタ
- 2 1 0 命令伸長回路

- 2 1 1 命令バッファ
- 2 1 3 命令位置情報デコーダ
- 2 1 4 展開バッファ
- 2 2 0 ～ 2 2 3 デコード回路
- 2 2 5 ～ 2 2 8 ゲーテッドクロック回路
- 2 3 0 ～ 2 3 3 実行回路
- 2 3 5 ～ 2 3 8 フリップフロップ

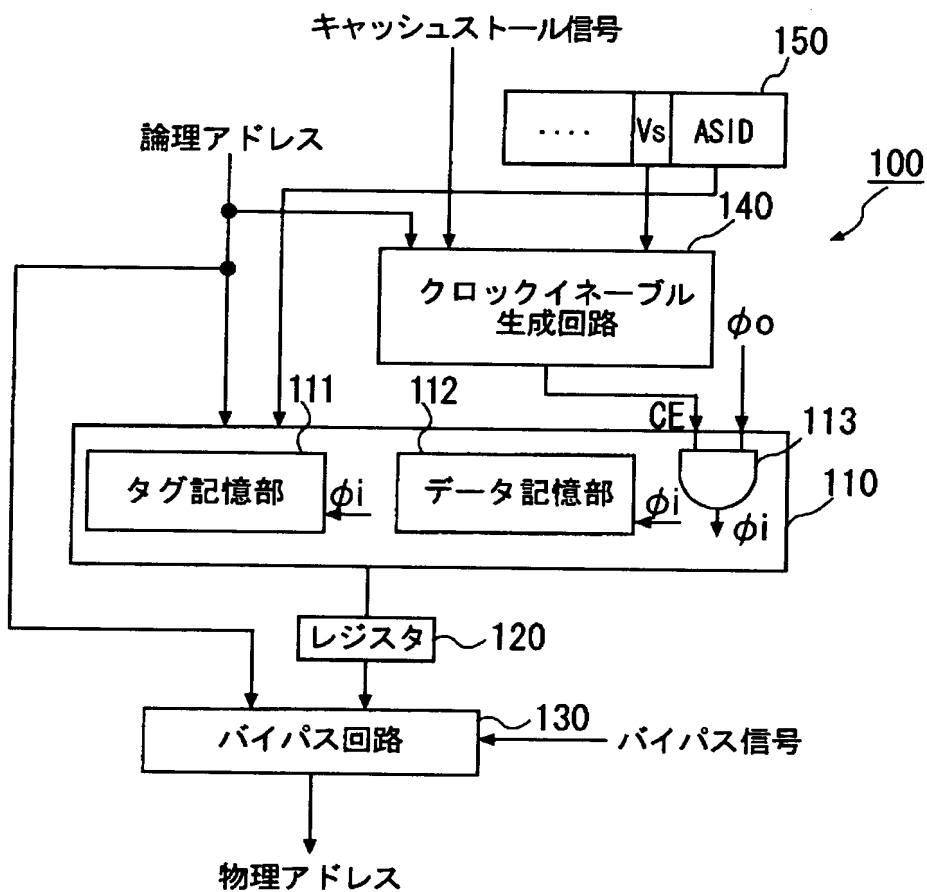
【書類名】

図面

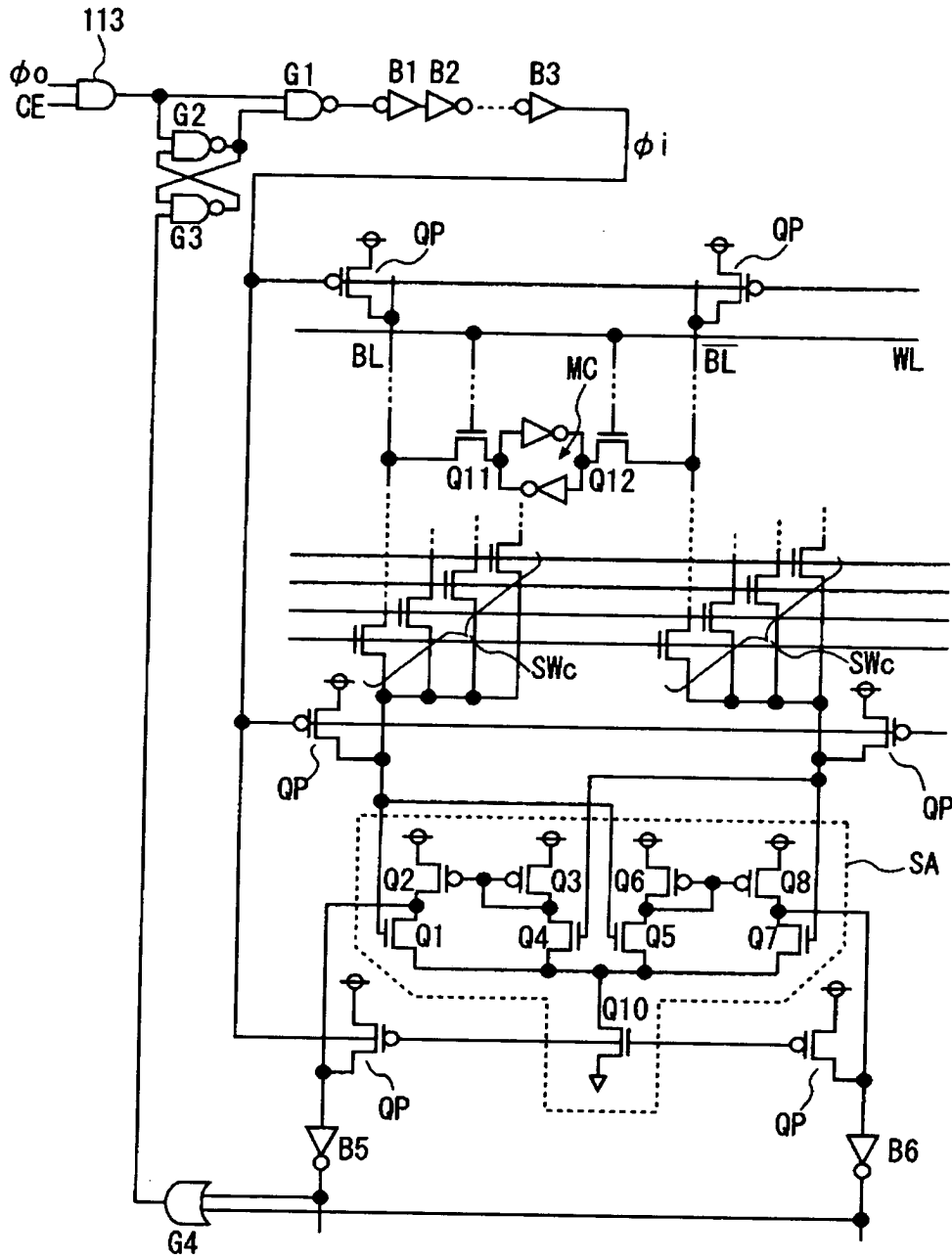
【図1】



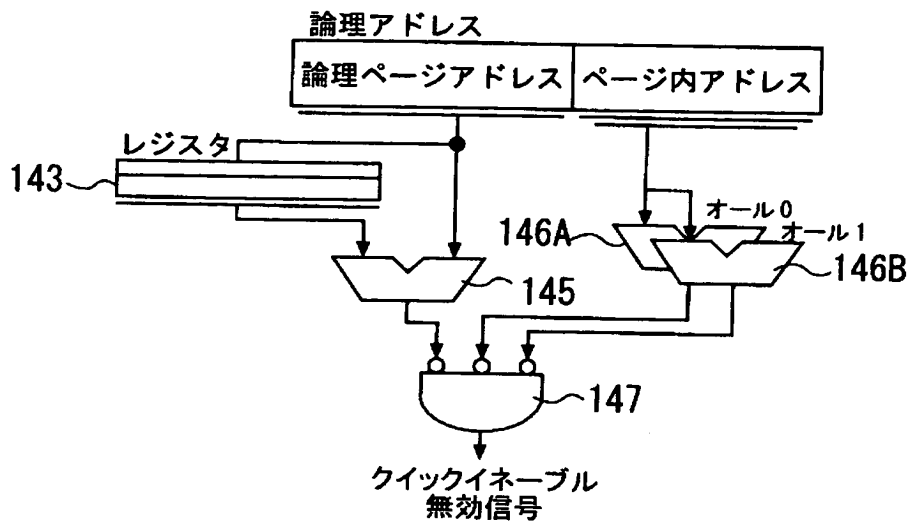
【図 2】



【図3】



【図 4】



【図 5】

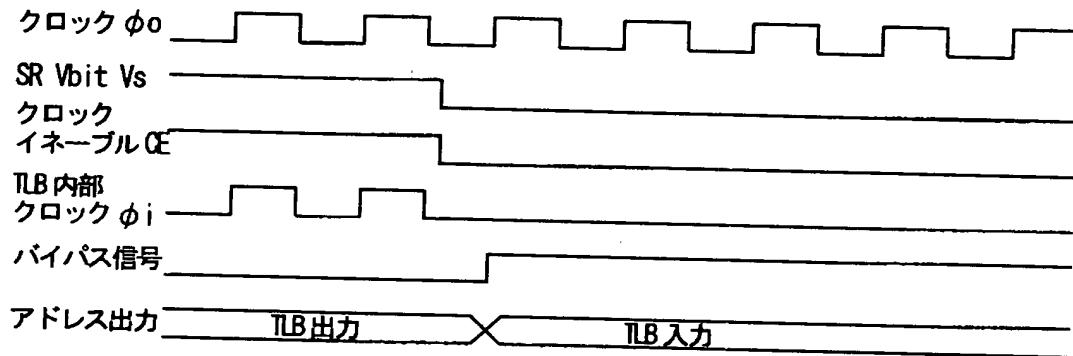


図 5(a) ステータスレジスタの V ビットが 0 になった場合

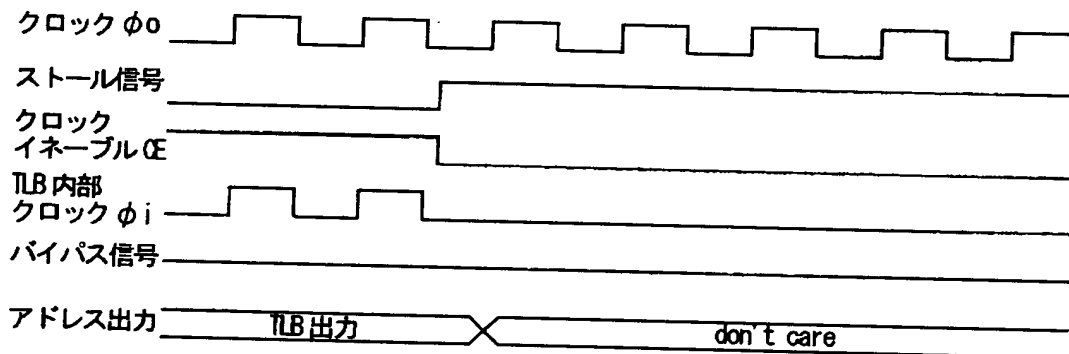


図 5(b) キャッシュストール信号がハイレベルとなった場合

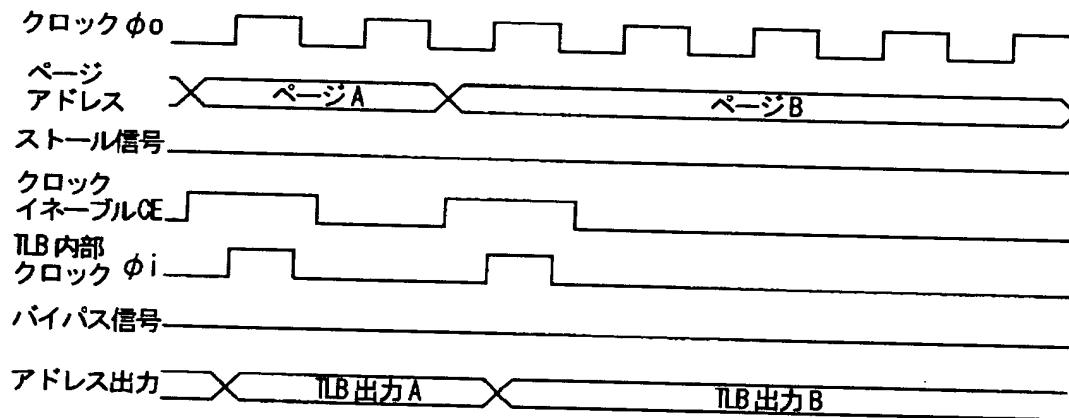
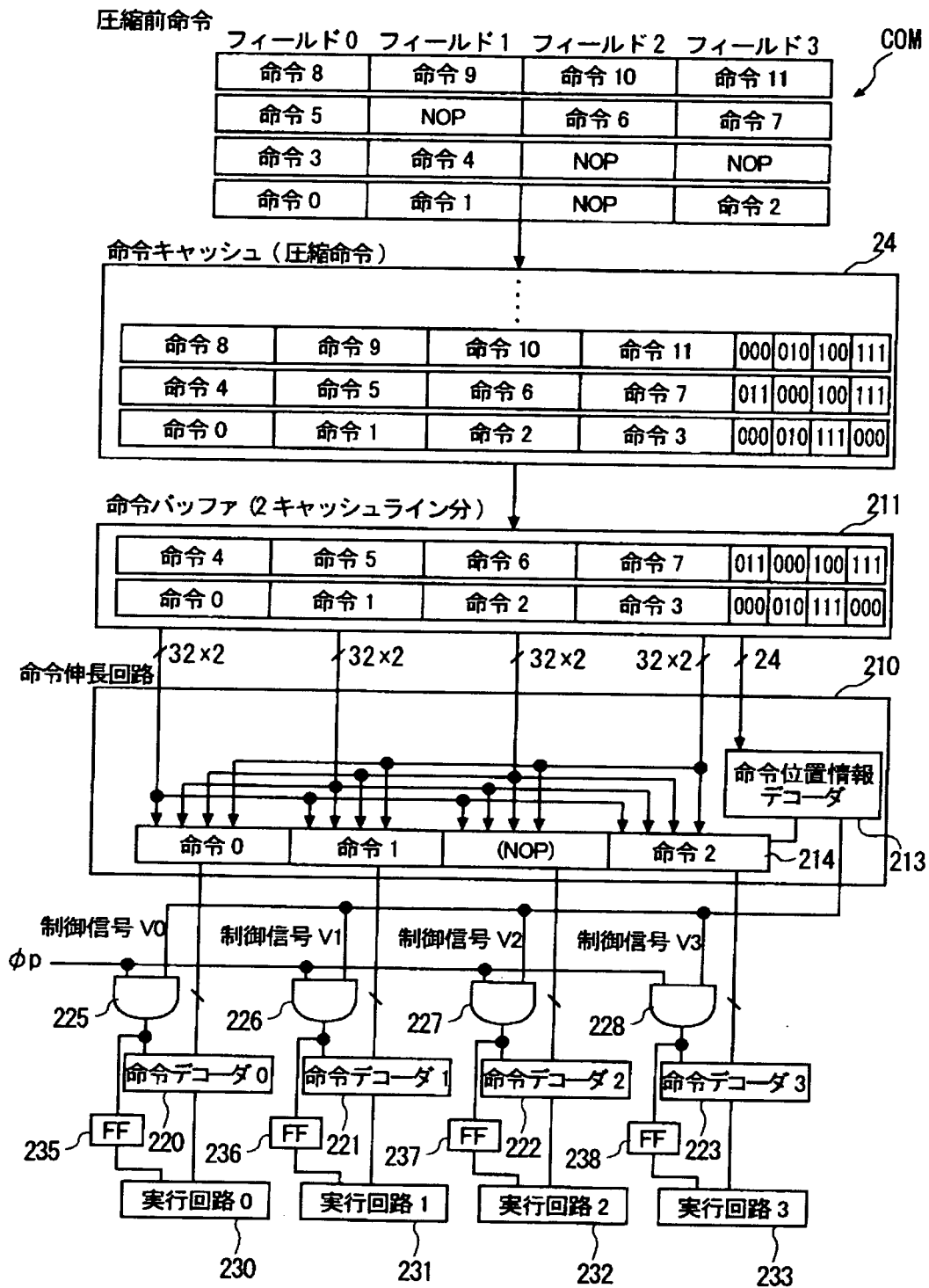


図 5(c) 同一ページアドレスへのアクセスがあった場合

【図 6】



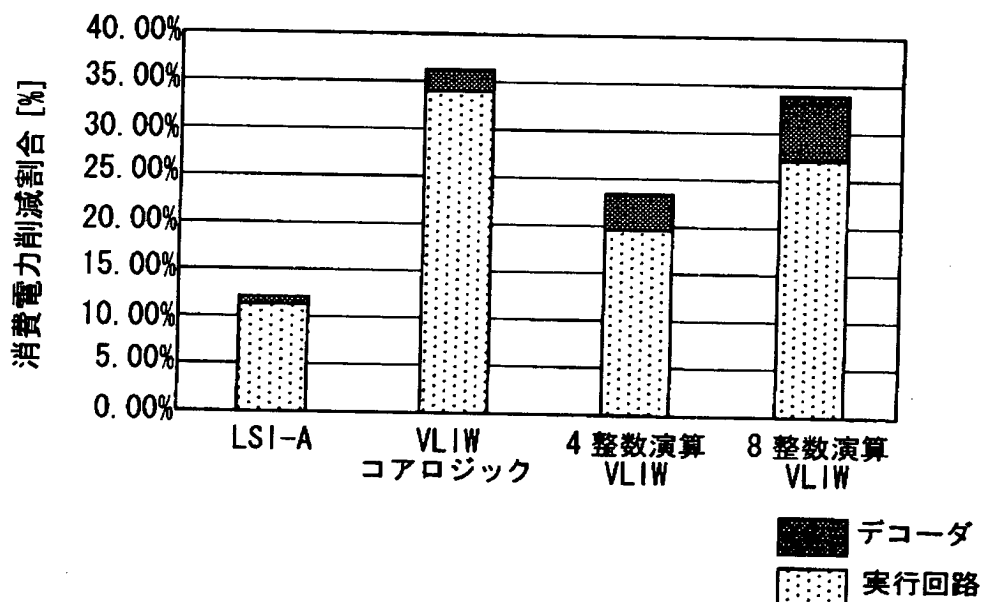
【図 7】

命令 4	命令 5	命令 6	命令 7	命令位置情報								
命令 0	命令 1	命令 2	命令 3	命令位置情報								
<table><tr><td>命令 0 の位置 (2bit)</td><td>命令 0 の END 情報 (1bit)</td><td>命令 1 の位置 (2bit)</td><td>命令 1 の END 情報 (1bit)</td><td>命令 2 の位置 (2bit)</td><td>命令 2 の END 情報 (1bit)</td><td>命令 3 の位置 (2bit)</td><td>命令 3 の END 情報 (1bit)</td></tr></table>					命令 0 の位置 (2bit)	命令 0 の END 情報 (1bit)	命令 1 の位置 (2bit)	命令 1 の END 情報 (1bit)	命令 2 の位置 (2bit)	命令 2 の END 情報 (1bit)	命令 3 の位置 (2bit)	命令 3 の END 情報 (1bit)
命令 0 の位置 (2bit)	命令 0 の END 情報 (1bit)	命令 1 の位置 (2bit)	命令 1 の END 情報 (1bit)	命令 2 の位置 (2bit)	命令 2 の END 情報 (1bit)	命令 3 の位置 (2bit)	命令 3 の END 情報 (1bit)					

【図 8】

サイクル	1	2	3	4	5	6	7
命令Ⅰ	IF0	IF1	RD	EX	WB		
命令Ⅱ		IF0	IF1	RD	EX	WB	
命令Ⅲ			IF0	IF1	RD	EX	WB

【図 9】



【図10】

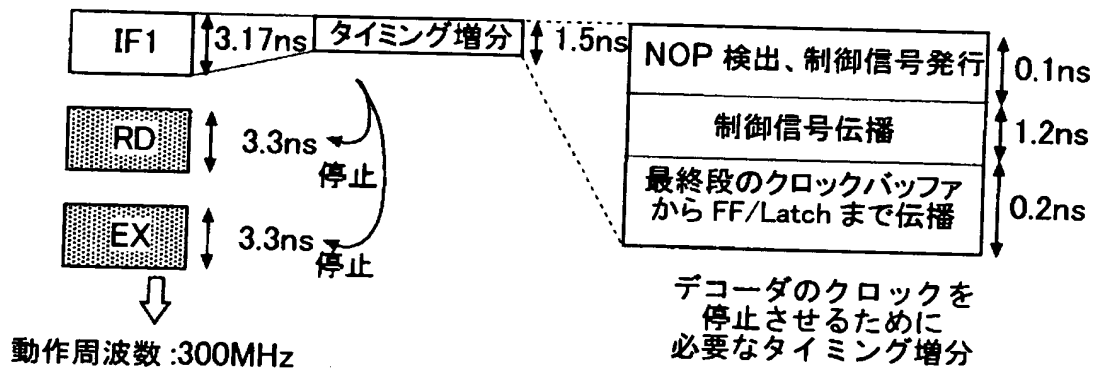


図 10 (a)

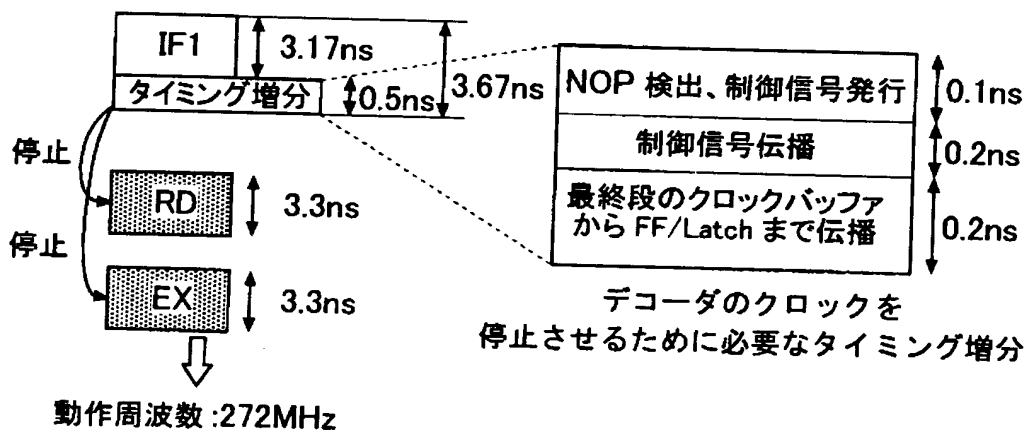


図 10 (b)

【書類名】 要約書

【要約】

【課題】 アドレス変換バッファの速度性能を劣化させることなくアドレス変換バッファについて十分に低消費電力化が図られた半導体集積回路を提供する。

【解決手段】 論理アドレスを物理アドレスに変換するアドレス変換バッファにおいて、仮想記憶へのアクセスを表わすステータスレジスタの仮想記憶バリッドビット V_s が “0” である間、キャッシュでミスヒットとなってキャッシュストール信号が出力されている間、或いは、同じ論理ページアドレスで且つこのアドレス範囲の境界以外にアクセスがあったときに、アドレス変換バッファのタグ記憶部とエントリ記憶部に供給される動作クロック ϕ_i を停止させるクロックイネーブル生成回路 140 を備える。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 1 6 2 5 8	
受付番号	5 0 2 0 1 0 9 5 3 1 1	
書類名	特許願	
担当官	第七担当上席	0 0 9 6
作成日	平成 1 4 年 7 月 2 6 日	

<認定情報・付加情報>

【提出日】	平成14年 7月25日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所